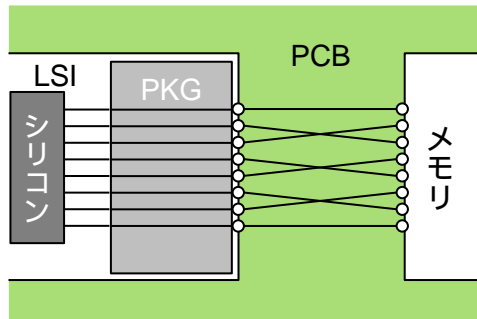


8層基板やビルドアップ基板が推奨のDDR3を低層化したい

お困り事 : 汎用ICでは、PKG性能に余裕を持たせるため、プリント基板上でクロス解消が必要になり、層数・面積が増え、プリント基板のコストアップに繋がる

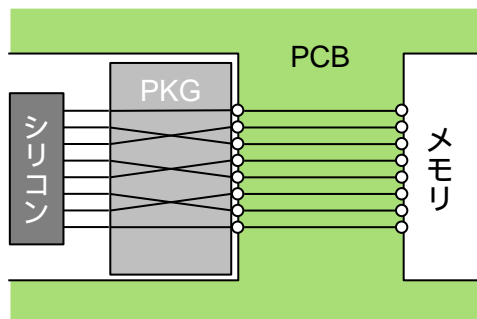
一般設計



- ポイント
- ・基板でビアを用いて配線クロスを解消 (配線層が複数必要)

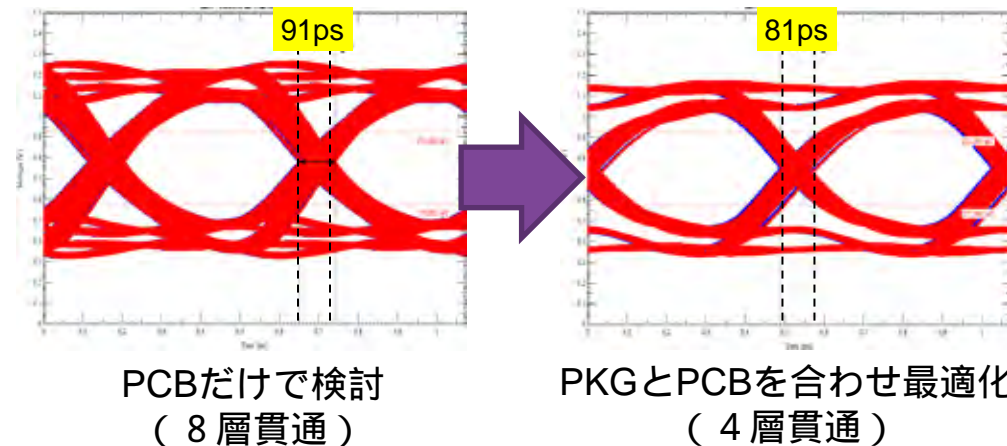
自由度のあるICでは、基板設計だけで、クロス解消するのではなく、構想段階から、PKG基板と基板の配線を組み合わせてシミュレーションし、PKGで優先順位を付け、基板のクロス解消、品質・配線性を上げるようピン配列まで最適化する

リーン設計



- ポイント
- ・PKG基板まで考慮し、クロス解消、ビア削減
 - ・切返しが無いから低層
 - ・PKG基板もモデル化し等長やマージンを調整

対策結果 : ジッタ10ps改善



DDR3を4層貫通基板で実現して、コストダウン400円