

# 超高分解能と低消費電力を両立する ノイズシェーピング逐次比較型AD変換器の開発

Development of Noise-shaping SAR ADC with Ultra-high Resolution and Low Power

小畑 幸嗣  
Koji Obata

松川 和生  
Kazuo Matsukawa

塚本 裕介  
Yusuke Tsukamoto

須志原 公治  
Koji Sushihara

## 要 旨

ノイズシェーピング (Noise-Shaping) 逐次比較型 (Successive Approximation Register : SAR) アナログデジタル変換器 (Analog to Digital Converter : ADC) は、超高分解能と低消費電力を両立する新たなADCである。SAR ADCの変換誤差を積分器で積分することにより、ノイズフロアのシェーピングを実現する。また、新たに開発したダイナミックエレメントマッチング (Dynamic Element Matching : DEM) 手法により、ADC内部の容量性デジタルアナログ変換器 (Digital to Analog Converter : DAC) のミスマッチによる高調波ひずみを抑制する。一般的な28 nm CMOSプロセスで提案ADCを試作した結果、2 kHz帯域で97.99 dBのSNDR (Signal to Noise and Distortion Ratio) を、37.1  $\mu$ Wの消費電力で実現した。

## Abstract

A noise-shaping SAR (successive approximation register) ADC (analog to digital converter) has been developed to achieve ultra-high resolution and low-power AD conversion. By integrating the residue of a conventional SAR ADC using an integrator, the noise floor of ADC is shaped. To eliminate distortion due to a mismatch of an internal capacitive DAC (digital to analog converter), a new dynamic element matching (DEM) technique has been developed. The ADC was fabricated using a conventional 28 nm CMOS process, and 97.99 dB SNDR (signal to noise and distortion ratio) for the 2 kHz bandwidth and a power consumption of 37.1  $\mu$ W were measured.

## 1. はじめに

近年、脳波 (Electroencephalogram : EEG) や筋電 (Electromyography : EMG) といった、非常に小さな生体電位信号を取得するためのアナログフロントエンド (Analog Front End : AFE) が開発されている[1]。それら生体電位信号は、振幅が数 $\mu$ Vから数mV、周波数は数Hzから数kHzが主たる信号である。それらのAFEでは、信号をアナログデジタル (Analog to Digital : AD) 変換する前に1000倍といった高ゲイン増幅器で信号を増幅して、12ビット程度の中程度の分解能のアナログデジタル変換器 (Analog to Digital Converter : ADC) でAD変換を行っている。モバイル用途で使用する場合は低消費電力性も必要となるため複雑な構成を採用することが多く、AFEの面積の増大を招いている。高分解能でかつ低消費電力なADCを開発することができれば、ADCの前段の高ゲイン増幅器は不要となり、簡便な増幅器を用いることが可能になる。複雑な増幅器を搭載する必要がなくなるため、低消費電力かつ小面積なAFEが実現できる。

逐次比較型 (Successive Approximation Register : SAR) ADCは最も電力効率のよいADCの1つとして知られている。一方、SAR ADCの分解能は内蔵する容量性デジタルアナログ変換器 (Digital to Analog Converter : DAC) のミスマッチ精度や比較器のノイズで決定され、一般的には

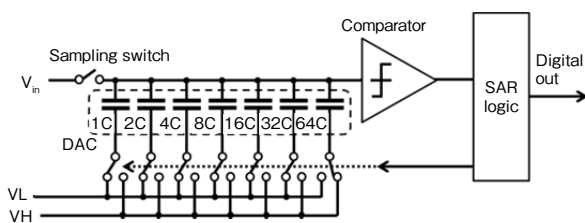
10ビットから12ビット程度の中程度の分解能である。分解能を向上させるために、ノイズシェーピングといった他の方式のADCの技術を組み合わせる試みがいくつか行われている[2][3][4]。本論文では、3次積分器を用いた $\Sigma$ 変調とダイナミックエレメントマッチング (Dynamic Element Matching : DEM) 技術をSAR ADCに導入することにより、超高分解能と低消費電力を両立する新しいノイズシェーピングSAR ADCを提案する。提案ADCは、一般的なSAR ADCの限界を超える高分解能を、SAR ADCの特徴である高い電力効率を維持したまま実現する。提案ADCを通常の28 nm CMOSプロセスを用いて試作した結果、2 kHz帯域で16ビットの分解能 (Signal to Noise and Distortion Ratio : SNDR = 97.99 dB) を、37.1  $\mu$ Wの消費電力で実現した[5]。

本論文の構成は以下のとおりである。2章で一般的なSAR ADCについて述べ、3章で新たに提案するノイズシェーピングSAR ADCについて述べる。4章で評価結果について述べ、5章でまとめる。

## 2. 逐次比較型AD変換器

第1図に、一般的な逐次比較型ADC (SAR ADC) のブロック図を示す。SAR ADCは、主に容量性DACと1ビットの比較器 (Comparator)、制御部 (SAR logic) から構

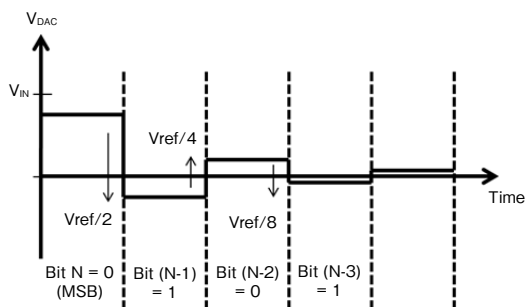
成され、バイナリ探索を基本として入力されたアナログ信号を1ビットずつデジタル変換していく。近年の微細プロセスでは、デジタル回路の動作速度は著しく向上している一方、電源電圧の低下によりアナログ回路の基本である増幅器の設計難易度は上がっている。SAR ADCは図に示すように、増幅器を必要としない。また、1ビットの比較器や容量性DACは簡単なデジタル回路で制御でき、微細プロセスでの実現に適している。微細プロセスで問題になる、素子ばらつきが原因で発生する特性劣化は、デジタル回路で補正可能である。



第1図 一般的なSAR ADCのブロック図

Fig. 1 Block diagram of conventional SAR ADC

第2図に、SAR ADCでのAD変換、バイナリ探索でのAD変換、の動作を示す。入力されたアナログ信号がサンプリングされてDACに保持され、その値の正負が比較器で判定される。判定結果に基づいて次のクロックサイクルに、基準電圧 ( $V_{ref}$ , 第1図の  $V_H-V_L$ ) の1/2が入力電圧から引かれるか足され、再度比較器で正か負かが判定される。次のクロックサイクルでは基準電圧の1/4が引かれるか足され、比較器で判定される。同様に順次ビット数分の操作が行われ、AD変換が実行される。すなわち、 $n$ ビットのAD変換を行うのに $n$ クロックサイクルの時間が必要となる。比較器のノイズやDACの製造ばらつきにより、一般的なSAR ADCの分解能 (有効ビット) は10ビットから12ビットと中程度に限定される。



第2図 SAR ADCの動作イメージ

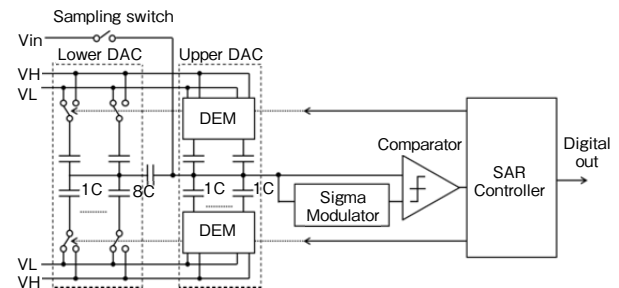
Fig. 2 Operational image of SAR ADC

### 3. ノイズシェーピング逐次比較型AD変換器

本章では、新開発のノイズシェーピングSAR ADCについて述べる。

#### 3.1 全体構成

第3図に、提案ADCのブロック図を示す。差動構成の通常のSAR ADCに $\Sigma$ 変調器 (Sigma modulator) とDEMを組み合わせた構成となっている。SAR ADCでは、DACのビット数は12ビットであり、面積を削減するために上位DAC (Upper DAC: 8ビット) と下位DAC (Lower DAC: 4ビット) が容量によって接続された構成となっている。SAR ADCの変換誤差が組み合わされた $\Sigma$ 変調器で積分され、その積分された値が次の変換の際の基準電圧となる。このような操作により $\Sigma$ 変調が実現され、ADCのノイズフロアがシェーピングされる。本提案ADCでは、 $\Sigma$ 変調器として3次積分器を用いている。 $\Sigma$ 変調器に加えて、DACの容量ばらつきが原因で発生する分解能劣化に対応するために、上位DACにはDEMを導入している。

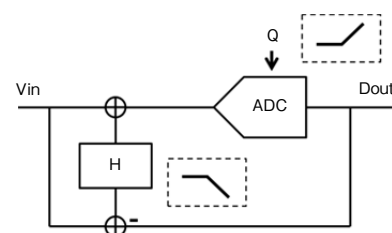


第3図 提案ノイズシェーピングSAR ADCのブロック図

Fig. 3 Block diagram of proposed noise-shaping SAR ADC

#### 3.2 ノイズシェーピング

ノイズシェーピングは、低周波数帯のノイズを高周波数帯に変換する技術である。ノイズの総量は変化しないが、低周波数帯のノイズを高周波数帯に移行させ、高周波数帯のノイズは、後ほどフィルタで除去し、低周波数帯のみ使用する。第4図に、提案ADCで採用した、エラ



第4図 エラーフィードバック

Fig. 4 Error feedback

ー (AD変換誤差) フィードバックによるノイズシェーピングのイメージ図を示す。

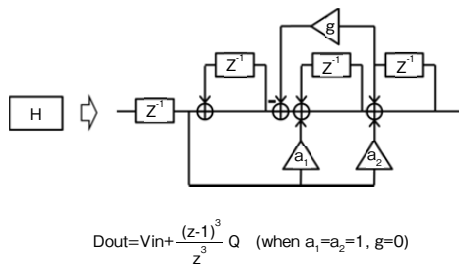
入力されたアナログ信号をAD変換し、そのデジタル値と入力アナログ値の差 (AD変換誤差) にフィルタを適用して入力アナログ値に加える。その信号をAD変換すると、デジタル値は以下の伝達関数で表される。

$$Dout = Vin + \frac{1}{1+H} Q \quad \dots\dots\dots (1)$$

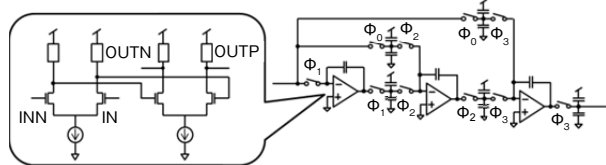
H：フィルタの伝達関数, Q：AD変換誤差

ここで、フィルタが積分特性である場合、その逆特性がAD変換誤差に掛かるため微分特性になる。提案ADCでは、フィルタとして第5図に示す3次積分器を用いた。伝達関数から完全な3次のノイズ伝達関数を実現できることがわかる。積分器を用いて変換誤差にΣ変調を掛けることで、ノイズシェーピングを実現している。

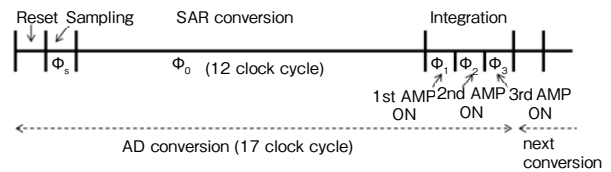
積分器の回路構成を第6図に示す。積分器はスイッチドキャパシタで構成され、1次の積分器を3段直列に接続している。一部の容量は、低消費電力化のために、電源とグランドに接続された2つの容量を用いている。演算増幅器 (オペアンプ) は、抵抗負荷の構成とし、コモンモードフィードバックの排除や高速パワーダウン・パワーアップを実現している。第7図に示すように、通常のSAR ADCのAD変換に積分のための3クロック分の動作を追加するだけでノイズシェーピングが実現できる。オペアンプの高速パワーダウン・パワーアップ特性をいかし、オペアンプの電源を必要なクロックのみONにすることで低消費電力化を実現している。



第5図 3次積分器の伝達関数  
Fig. 5 Transfer function of 3rd-order integrator



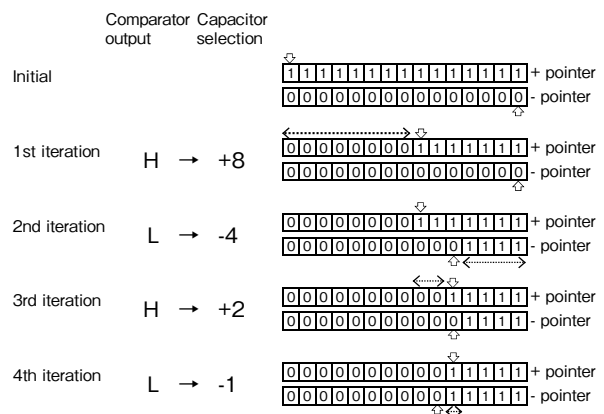
第6図 積分器とオペアンプのブロック図  
Fig. 6 Block diagram of integrator and operational amplifier



第7図 提案ADCの動作シーケンス  
Fig. 7 Operational sequence of the proposed ADC

### 3.3 ダイナミックエレメントマッチング

SAR ADCでは、DACとして容量 (Capacitor : C) DACがしばしば用いられる。CDACでは、それぞれの容量の比精度が低いと高調波歪の発生につながり、分解能の低下につながる。例えば、単位容量の比精度が0.1%の場合でも有効ビットは10ビットから12ビット程度が限界となる。そのため、それ以上の分解能を実現する場合には、容量のトリミングなど非常にコストの掛かる方法を用いなければいけない。本論文では、トリミングではなく、ダイナミックエレメントマッチング (Dynamic Element Matching : DEM) と呼ばれる、使用する容量を順次入れ替える方法を用いて高分解能化を実現する。通常、DEMではある決められた規則に基づいて使用する容量を入れ替える。提案ADCでは、Data Weighted Averaging (DWA) と呼ばれる方法を基に、Dual pointer DWAという手法を新たに考案した。DWAは、制御が簡便でかつノイズフロアが1次の傾きでシェーピングするため、広く使用されている。第8図に4ビットDACの際のDEMの動作を示し、提案ADCが採用するDEMを説明する。ポインタとして、プラスポインタとマイナスポインタを用意する。最上位ビットの変換の際、比較器の出力結果が正 (“H”) ならばプラス側のポインタを8移動し、負 (“L”) ならばマイナス側のポインタを8移動する。図の場合は正 (“H”) であるので、プラス側のポインタを移動する。2ビット目の変



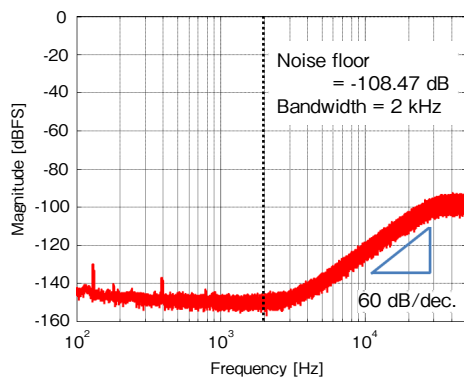
第8図 DEMの動作イメージ  
Fig. 8 Operational image of the proposed DEM

換では、比較器の出力結果が負（“L”）であるので、マイナス側のポインタを4移動する。3ビット目の変換ではプラス側のポインタを2移動し、4ビット目（最下位ビット）の変換ではマイナス側のポインタを1移動する。DEMは上位DACにのみ適用すればよい。下位DACではΣ変調の効果により、ディザが入力された状態と等しくなる。そのため、使用される容量がAD変換のたびに変更されるため、高調波歪の発生が抑制される。

#### 4. 評価結果

提案ノイズシェーピングSAR ADCを28 nm CMOSプロセスを用いて試作した。試作したADCを評価した結果を本章で示す。なお、特別に記載しない場合、アナログ部の電源電圧は1.8 V、デジタル部の電源電圧は1.1 V、サンプリング周波数は100 kHzである。

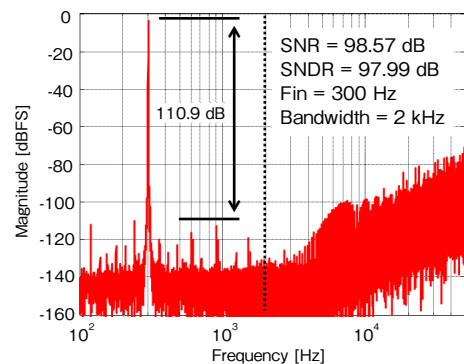
第9図は、信号を入力せずにADCを動作させて得られたデジタルコードをFFT（Fast Fourier Transform）した結果である。ノイズフロアはシェーピングしており、3次の傾き（60 dB/dec.）が確認できる。帯域を2 kHzとするとノイズ電力は-108.47 dBとなり、およそ18ビットの有効ビットに相当する。



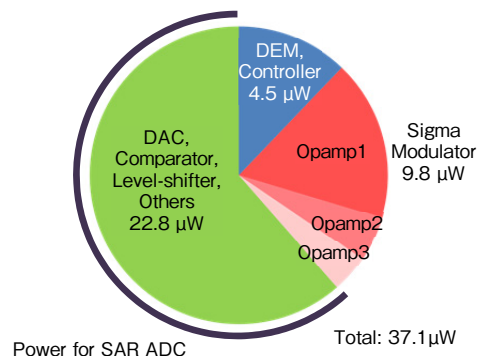
第9図 無信号時のFFTスペクトル（10回平均）  
Fig. 9 FFT spectrum of noise floor (10 times averaging)

第10図は、300 Hzの信号を入力して得られたデジタルコードをFFTして得られた結果である。なお、低消費電力動作を確認するために、この測定結果のみ、アナログ部の電源電圧を1.55 V、デジタル部の電源電圧を0.75 Vに設定している。信号電力とノイズ電力の比である、SNR（Signal to Noise Ratio）は98.57 dBである。また、ノイズ電力に高調波歪の電力を加えた、SNDR（Signal to Noise and Distortion Ratio）は97.99 dBであり、有効ビットは16ビットとなる。AD変換において、高調波歪が全く発生していない場合は、SNRとSNDRは等しい値となる。信号

発生器を接続したことで、信号源のノイズが原因でノイズフロアが上昇し、信号を入力しない場合に比べて2ビット性能が低下している。第11図に消費電力の内訳を示す。ADCの消費電力は37.1 μWである。通常のSAR ADC部の消費電力は22.8 μWであり、DEMは4.5 μW、変調器は9.8 μWの電力を消費している。SAR ADCの高い電力効率を維持しながら、SAR ADCの限界を超える性能を実現している。



第10図 信号入力時のFFTスペクトル  
Fig. 10 FFT spectrum with signal input



第11図 消費電力内訳  
Fig. 11 Power consumption

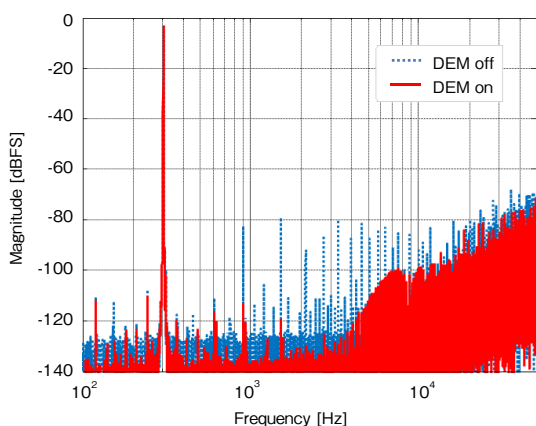
第12図は、DEMの有効性を示している。DEMを使用することで、高調波歪の発生が抑制されている。第13図は、入力信号の電力（振幅）を変えながら測定した結果である。SNRとSNDRの差は1 dB以下と極わずかであり、非常に低ひずみな特性を実現している。第14図はサンプリング周波数を10倍の1 MHzに、帯域も10倍の20 kHzに変更した場合の結果である。SNRおよびSNDRは4 dB程度劣化しているが、サンプリング周波数を高速化することで広帯域化が可能である。第15図には試作したチップ写真を示す。面積は190 μm×610 μm（0.1159 mm<sup>2</sup>）である。第1表に他のADCとの性能比較を示す。一般的に、信号帯域とサンプリング周波数の比であるオーバーサン

プリング比を高めることで、SNDR（有効ビット）を高めることが可能となるが、提案ノイズシェーピングSAR ADCは、最も低いオーバーサンプリング比で高い分解能を、世界最高水準の電力効率（Schreier’s Figure of Merit：FoMs）で実現している。なお、FoMsは以下の式で定義され、数値が大きい方が高性能である。

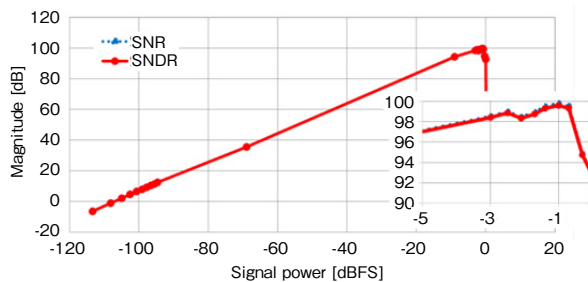
$$FoMs = SNDR + 10 \cdot \log\left(\frac{F_{snyq}/2}{Power}\right) \dots\dots\dots (2)$$

F<sub>snyq</sub>：ナイキスト周波数（信号帯域×2）

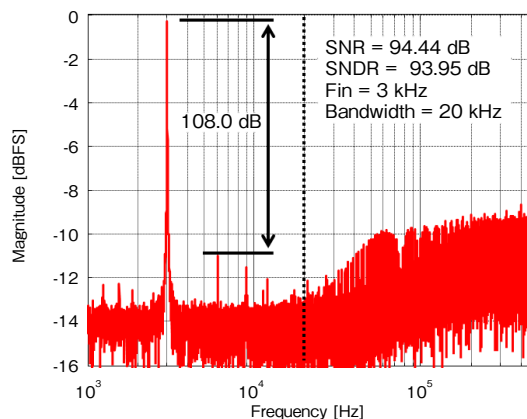
Power：消費電力



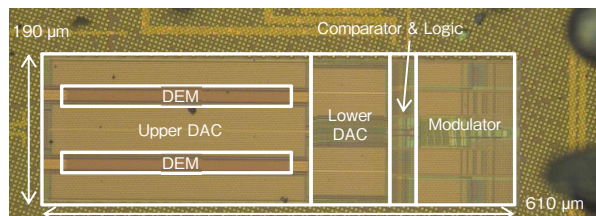
第12図 DEMの効果  
Fig. 12 Effectiveness of DEM



第13図 入力信号電力とSNR/SNDRの関係  
Fig. 13 Input signal power vs. SNR/SNDR



第14図 サンプリング周波数を10倍にした際の測定結果  
Fig. 14 Measurement result of 10 times sampling frequency



第15図 チップ写真  
Fig. 15 Chip photograph

第1表 性能比較

Table 1 Performance comparison

|                         | This work[5] |         | ISSCC 2016[4] |       | VLSI 2008[6] | ISSCC 2003[7] |
|-------------------------|--------------|---------|---------------|-------|--------------|---------------|
| Technology              | 28 nm        |         | 55 nm         |       | 180 nm       | 350 nm        |
| Architecture            | NS SAR       |         | NS SAR        |       | Delta-Sigma  | Delta-Sigma   |
| Supply voltage [V]      | 1.55/0.75    | 1.8/1.1 | 1.2           |       | 0.7          | 5/1.8         |
| Sampling [MHz]          | 0.1          | 1       | 1             |       | 5            | 6.144         |
| Bandwidth [kHz]         | 2            | 20      | 1             | 4     | 25           | 20            |
| Oversampling Ratio      | 25           | 25      | 500           | 125   | 100          | 153.6         |
| SNR [dB]                | 98.57        | 94.44   |               |       | 100          |               |
| SNDR [dB]               | 97.99        | 93.95   | 101           | 96.1  | 95           | 105           |
| SFDR [dB]               | 110.9        | 108.0   | 105.1         | 105.1 |              |               |
| Area [mm <sup>2</sup> ] | 0.116        |         | 0.72          |       | 2.16         | 5.62          |
| Power [μW]              | 37.1         | 493.1   | 15.7          |       | 870          | 68000         |
| FoMs [dB]               | 175.3        | 170.0   | 178.9         | 180.0 | 169.6        | 159.7         |

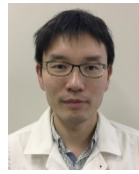
## 6. まとめ

SAR ADCにノイズシェーピングとDEMを組み合わせることで、高い電力効率を維持したまま、SAR ADCの限界を超える分解能を実現した。高い分解能を活用することで、シンプルでかつ幅広い電圧差の信号を取得可能なAFEを実現することができる。EEGとEMGなど、複数の生体電位信号の同時取得など、これまで測定が難しかった信号の取得も可能になり、新たな知見の獲得も期待できる。

### 参考文献

- [1] J. Xu, et. al., "A Wearable 8-Channel Active-Electrode EEG/ETI Acquisition System for Body Area Networks," IEEE JSSC, vol. 49, no. 9, pp.2005-2016, Sept. 2014
- [2] J. A. Fredenburg, et. al., "A 90-MS/s 11-MHz-Bandwidth 62-dB SNDR Noise-Shaping SAR ADC," IEEE JSSC, vol. 47, no. 12, pp.2898-2904, Dec. 2012.
- [3] Z. Chen, et. al., "A 9.35-ENOB, 14.8 fJ/conv.-step Fully-Passive Noise-Shaping SAR ADC," Digest of VLSI Circuit Symposium 2015, pp.C64-C65, June 2015.
- [4] Y.-S. Shu, et. at., "An Oversampling SAR ADC with DAC Mismatch Error Shaping Achieving 105dB SFDR and 101dB SNDR over 1kHz BW in 55nm CMOS," ISSCC Dig. Tech. Papers, pp. 458-459, Feb. 2016.
- [5] K. Obata, et. al., "A 97.99 dB SNDR, 2 kHz BW, 37.1  $\mu$ W noise-shaping SAR ADC with dynamic element matching and modulation dither effect," Digest of VLSI Circuit Symposium 2016, pp.22-23, June 2016.
- [6] H. Park, et. al., "A 0.7-V 100-dB 870-uW Digital Audio SD Modulator," Digest of VLSI Circuit Symposium 2008, pp.178-179, June 2008.
- [7] Y. Yang, et. al., "A 114dB 68mW Chopper-Stabilized Stereo Multi-Bit Audio A/D Converter," ISSCC Dig. Tech. Papers, pp. 56-57, Feb. 2003.

### 執筆者紹介



小畑 幸嗣 Koji Obata  
 オートモーティブ&インダストリアルシステムズ社 技術本部  
 Engineering Div.,  
 Automotive & Industrial Systems Company  
 博士 (情報科学)  
 (2017年3月まで先端研究本部に所属)



松川 和生 Kazuo Matsukawa  
 先端研究本部 材料・デバイス研究室  
 Materials and Devices Research Lab.,  
 Advanced Research Div.



塚本 裕介 Yusuke Tsukamoto  
 ビジネスイノベーション本部  
 AIソリューションセンター  
 Sensing Technology Research Group,  
 AI Solutions Center, Business Innovation Div.  
 (2017年3月まで先端研究本部に所属)



須志原 公治 Koji Sushihara  
 先端研究本部 材料・デバイス研究室  
 Materials and Devices Research Lab.,  
 Advanced Research Div.